

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-114835

(43)Date of publication of application : 07.05.1993

(51)Int.Cl.

H03H 11/12

(21)Application number : 03-273957

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.10.1991

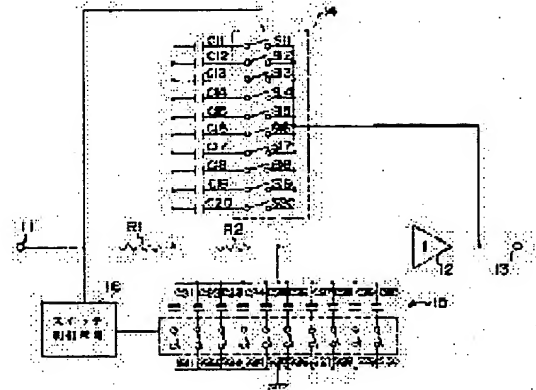
(72)Inventor : YAMAMOTO TAKESHI

(54) INTEGRATED FILTER CIRCUIT AND ITS ADJUSTING METHOD

(57)Abstract:

PURPOSE: To improve the precision of filter characteristics without making the circuit formation of the integrated filter complicate and to improve deterioration in the yield of an IC due to a defective capacitor which becomes defective in the manufacture of the capacitor.

CONSTITUTION: A semiconductor integrated circuit is constituted having redundancy to some extent by combining cell capacitor groups (C11-C20) and (C21-C30) of capacitors in the same shape being components of the filter, and electronic switch groups (S11-S20) and (S21-S30) which are connected thereto in series; and the switch selection states of the switch groups are set by a switch control circuit 16 which is integrated together.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Japanese Publication for Unexamined Patent Application
No. 114835/1993 (Tokukaihei 5-114835)

A. Relevance of the Above-identified Document

This document has relevance to claims 9 of the present application.

B. Translation of the Relevant Passages of the Document

[0016] ... An adjustment circuit network 14 has a configuration such that a plurality of circuits, in each of which a capacitor and a switch are connected in series, are connected in parallel. Similarly, an adjustment circuit network 15 has a configuration as the adjustment circuit network 14. In this embodiment, the adjustment circuit network 14 is configured of capacitors C11 to C20 and switches S11 to S20, while the adjustment circuit network 15 is configured of capacitors C21 to C30 and switches S21 to S30. Here, the switches of each of the adjustment circuit networks 14 and 15 are controlled so as to be selectively ON or OFF in response to control data of a switch control circuit 16. The control is carried out so that a filter characteristics becomes a desired characteristics. According to the control, correction of absolute

THIS PAGE BLANK (USPTO)

variation of elements, fine adjustment of the filter characteristics, and switch-off of deteriorated capacitors are carried out, respectively.

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-114835

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl.⁵

H 0 3 H 11/12

識別記号

庁内整理番号

F I

技術表示箇所

B 8221-5 J

審査請求 未請求 請求項の数3(全 10 頁)

(21)出願番号 特願平3-273957

(22)出願日 平成3年(1991)10月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山本 剛

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝映像メディア技術研究所内

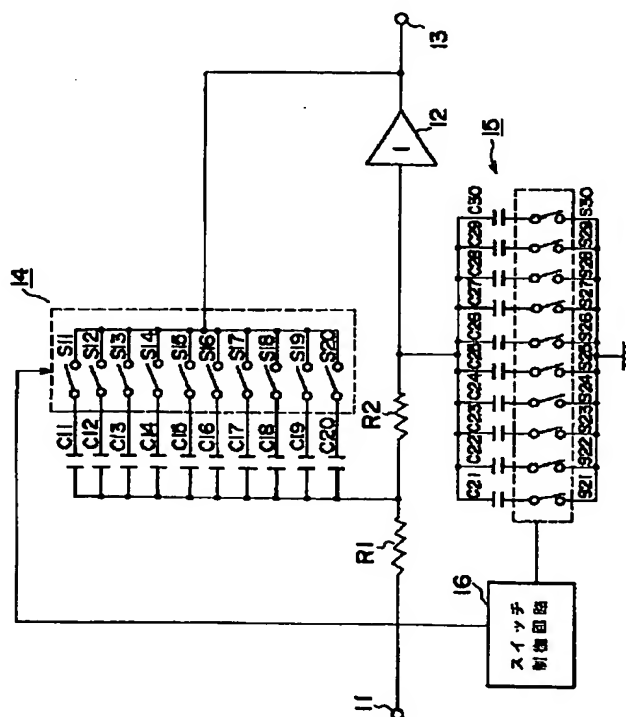
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 集積フィルタ回路とその調整方法

(57)【要約】

【目的】集積フィルタとしての回路形成を複雑にすることなく、フィルタ特性の精度の改善をはかることと、合わせてコンデンサの製造時に発生した欠陥コンデンサなどによるI Cの歩留まり悪化を改善する。

【構成】半導体集積回路におけるフィルタの構成要素であるコンデンサに関し、同一形状のセルセルコンデンサ群 (C11~C20)、(C21~C30) とこれに直列に接続された電子スイッチ群 (S11~S20)、(S21~S30) とを多数組み合わせる形で、ある程度の冗長度を持たせてこれを構成し、スイッチ群のスイッチ選択状態は、一体に集積化されたスイッチ制御回路16により設定される。



(2)

【特許請求の範囲】

【請求項1】 半導体集積回路におけるフィルタの構成要素である抵抗またはコンデンサに関し、同一形状のセル抵抗群またはセルコンデンサ群とこれに直列に接続された電子スイッチ群とを多数組み合わせる形で、ある程度の冗長度を持たせてこれを構成したことを特徴とする集積フィルタ回路。

【請求項2】 半導体集積回路におけるフィルタの構成要素である抵抗またはコンデンサに関し、同一形状のセル抵抗群またはセルコンデンサ群とこれに直列に接続された電子スイッチ群とを多数組み合わせる形で、ある程度の冗長度を持たせて構成したフィルタ回路と、前記電子スイッチ群を制御するスイッチ制御部と、前記電子スイッチ群の接続パターンを決定するために前記スイッチ制御部に与える制御データを保持したメモリとを一体に備えた集積フィルタ回路。

【請求項3】 半導体集積回路におけるフィルタの構成要素である抵抗またはコンデンサに関し、同一形状のセル抵抗群またはセルコンデンサ群とこれに直列に接続された電子スイッチ群とを多数組み合わせる形で、ある程度の冗長度を持たせて構成したフィルタ回路と、前記電子スイッチ群を制御するスイッチ制御部と、前記電子スイッチ群の接続パターンを決定するために前記スイッチ制御部に与える制御データを保持したメモリとを備え、前記フィルタ回路に所定の信号を入力したときのフィルタ出力を、アナログデジタル変換して取り込んでフィルタ特性を検出し、その特性が目標特性に最も近くなるように前記制御データを再設定して前記メモリに与えるようにしたことを特徴とする集積フィルタ回路の調整方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、電子機器一般に使用される半導体集積回路に係わり、これに内蔵されてアナログ信号処理用として利用される集積フィルタ回路とその調整方法に関する。

【0002】

【従来の技術】 近年、電子回路の半導体集積回路化が進み、従来集積化が困難とされていたフィルタも例外ではなくなった。アナログ集積回路では、実用的なコイルは作れないため内蔵の抵抗とコンデンサとで特性が決まる能動フィルタ回路として構成するのが一般的である。このとき問題となるのが、集積回路内におけるこれらの受動素子の絶対ばらつきである。集積回路では、一般的に抵抗とコンデンサの絶対ばらつきはそれぞれ±10%～±30%程度はある。このため集積回路内に高精度フィルタを作る場合には、何等かの調整が必要である。

【0003】 集積フィルタ回路の調整に関しては、調整可能なフィルタとして可変トランスコンダクタンス回路

を用いるもの、バリキャップを用いるもの、MOSトランジスタのオン抵抗を用いるものなどが提案実用化されている。また、その調整方法についても手動調整の他、各種自動調整法が提案実用化されている。しかしながら最も基本的な回路のまま、集積回路の製造工程で抵抗とコンデンサの絶対ばらつきを補正する方法として「A1（アルミ）トリミング」という方法がある。この例として「サーレンキーフィルタ」と呼ばれている最も簡単な2次の低域通過フィルタへ適用した例を示して説明する。

10 【0004】 図4において、入力端子1は、抵抗R1、R2を介して、利得1の演算増幅器2に入力される。演算増幅器2の出力端は、出力端子3に接続されるとともに、コンデンサC10を介して抵抗R1とR2の接続中点に接続される。また、抵抗R2と演算増幅器2の入力端の接続点には、コンデンサC20の一端が接続され、このコンデンサC20の他端は接地されている。

20 【0005】 ここで、コンデンサC10と並列に、調整回路網4が接続され、またコンデンサC20と並列に、調整回路網5が接続されている。調整回路網4、5は、複数の調整容量C11～C16、C21～C26からなり、各調整容量は、A1配線によりつなぎ変えられるようになっている。6個の調整容量であれば、全くつながらないパターン、1つだけつないだパターンから全部つないだパターンの7種類の接続パターンが可能である。この7種類の接続パターンに対応する7枚のマスクウエハーが用意される。

30 【0006】 実際の調整は次のように行われる。ICウエハー上には、別途モニタ素子を形成しておき、製造工程の最終段階のウエハー上に抵抗とコンデンサを完全に形成し終わった時点で、これらのモニタ素子の抵抗値もしくは容量値を実測し、その積がセンター値（設計値）に対してどの程度ばらついているかを把握する。そしてフィルタを構成する抵抗値と容量値の積が設計センター値に最も近くなるようなパターンを上記7枚のウエハーから選んで、最終的な調整用コンデンサの接続が決められる。

40 【0007】 このように、上記の調整方法によってフィルタ特性が設計特性に最も近くなるようなパターンを7種類のマスクウエハーから選んで実現することができる。今、図のような回路で、調整容量C11～C16は、それぞれC10/7の容量値であり、調整容量C21～C26は、それぞれC20/7の容量値であるとする。そして、図のように6個の調整用容量のうち3個が接続されているものをセンターとして考えると、トータル容量C1は、 $C1 = C10, (8/7) \times C10, (9/7) \times C10, (10/7) \times C10$ （センター）、 $(11/7) \times C10, (12/7) \times C10, (13/7) \times C10$ 。

同じくトータル容量C2は

$C2 = C20, (8/7) \times C20, (9/7) \times C20, (10/7) \times C20$ （センター）、 $(11/7) \times C20, (12/7) \times C20, (13/7) \times C20$ 。

(3)

×C20。

の7通りずつ変えられることになる。即ち、C1、C2ともにセンターを中心に考えると、
-30%、-20%、-10%、0%、+10%、+20%、+30%

【0008】の7種類のうち、最良のものを選択できることになり、抵抗と容量の積が±35%程度のばらつきまでは最悪でも±5%程度の誤差範囲まで補正できることになる。

【0009】しかしながら、この方法は、トリミングマスクの枚数を増やしていき、トリミングステップを細かくしていっても精度はある程度以上は上げることができない。それはウエハ上での同一素子間のばらつき（相対的なばらつき）があるからであり、絶対精度をいくら上げていってもこのような相対ばらつきで決まる精度以上の精度を得るのは不可能である。このような相対ばらつきは、ウエハ上の離れた素子同志の精度なので3%～5%程度が限界なのが普通である。

【0010】さらに最近では、フィルタの集積範囲が広がるにつれて、長時定数フィルタのIC内蔵や高S/Nの確保のため集積コンデンサが大容量、大面積となってきた。このため集積コンデンサの製造上での各種欠陥発生によるコンデンサ生成確率の低下が顕著になってきており、ICの歩留まり悪化を引き起こしている。

【0011】

【発明が解決しようとする課題】上記したように従来の集積フィルタ回路によると、調整可能なフィルタであっても、素子同志の相対ばらつきによるフィルタ特性の誤差を持つことや、特に大容量コンデンサを用いたフィルタではコンデンサの生成確率低下による歩留まり悪化が問題となる。

【0012】そこでこの発明の目的は、集積フィルタとしての回路形成を複雑にすることなく、フィルタ特性の精度の改善をはかることと、合わせてコンデンサの製造時に発生した欠陥などによるICの歩留まり悪化を改善することにある。

【0013】

【課題を解決するための手段】この発明は、フィルタを構成する、コンデンサを多数の同一セルコンデンサとこれに直列に接続したスイッチとで構成し、そのトータル容量を設計センターに対してある冗長度を持った値としておく。そして調整システムにおいては、前記スイッチをデジタル制御回路（マイクロコンピュータ）により制御し、フィルタ特性が最良となるように選択する。そして、フィルタ特性の最良時における前記スイッチの制御データを、電子機器内のメモリに格納しておく。

【0014】

【作用】上記のフィルタ構成により、まずオン接続するセルコンデンサの数を操作することで、従来のようなA1トリミングと同じ原理で素子の絶対ばらつきに対する

フィルタ特性のばらつきを押さえることもできる。またオン接続するセルコンデンサの組み合わせを変えることで、素子の相対ばらつきに対しても、目標特性に最も近い組み合わせを選ぶことができる。さらに欠陥セルコンデンサがあれば、これを優先的に排除（スイッチオフ）することにより、欠陥コンデンサによる不良サンプルの数を激減させることができる。

【0015】

【実施例】以下、この発明の実施例を図面を参照して説明する。

【0016】図1はこの発明の一実施例であり、「サーレンキー形低域通過フィルタ」を例に示している。入力端子11は、抵抗R1、R2を介して利得1の増幅器12に接続されている。この演算増幅器12の出力は、出力端子13に導出される。ここで、抵抗R1とR2の接続点と、出力端子13間には、フィルタ特性を調整するための調整回路網14が接続されている。また抵抗R2と演算増幅器12の入力端との接続点と、接地間にもフィルタ特性を調整するための調整回路網15が接続されている。調整回路網14は、コンデンサとスイッチの直列回路が複数並列に接続されたものであり、調整回路網15も同様な構成である。この実施例においては、調整回路網14は、コンデンサC11～C20、スイッチS11～S20からなり、調整回路網15は、コンデンサC21～C30、スイッチS21～S30からなる。ここで、各調整回路網14、15のスイッチは、それぞれスイッチ制御回路16からの制御データにより択一的にオン、またはオフ制御されるもので、この制御は、フィルタ特性が所望の特性となるように制御される。この制御の中には、素子の絶対ばらつきの補正、フィルタ特性の微調整、不良コンデンサの排除等を含むことになる。なお、先に図4で説明した従来の回路に対応させると、コンデンサC11～C20、C21～C30の総和容量は、それぞれ図4のC1、C2に相当する。この発明の一実施例は上記の如く構成されるもので、冗長な素子（コンデンサ）を一体化して集積化している。

【0017】絶対値ばらつきの補正について説明する。

これは、スイッチのオン接続の数を変えることにより行う。今、総和容量C1を構成するコンデンサC11～C20の各容量をCとし、C1のセンター値が7Cであるとすると、即ち、トータル容量としては、30%の冗長度を持たせているものとする。この場合、スイッチS11～S20のうちオン接続する数を変えれば、最大10C即ちセンター値7Cに対して（10/7）倍までの段階的な制御が可能である。これは逆に言えば、フィルタとしての特性を決める抵抗とコンデンサ容量との積が7/10まで下がったとしてもフィルタ時定数の補正が可能であることを意味する。このようにスイッチの接続数を変えることにより、先に従来例として説明した「A1トリミングによる素子のばらつき補正」と同様な調整を実現でき

(4)

る。ただしこの場合、「A1トリミング」と異なるのは、A1トリミングがウエハ単位での補正であったのに対して、この発明のスイッチ制御は、チップ単位（即ちIC毎）で補正が可能なことである。従って、前者はモニタ素子の時定数で代表されてしまい、段階的な補正による量子化誤差にICウエハの面上でのばらつき分が加わるのに対して、後者はICウエハの面上ばらつき分も含めた段階的補正となるので前者に比べてよりきめ細か

$$10C7 = 10! / (7! 3!) = (10 \times 9 \times 8) / (3 \times 2 \times 1) = 120 \text{通り}$$

ある。

【0019】C11からC20の各セルコンデンサもそれぞれ相対誤差をもってばらついているので、この120通りの組み合わせもそれぞれわずかず容量値が異なる。従って、120通りの組み合わせの中から最も適当な組み合わせを選んで、フィルタ特性をさらに目標特性に近

Q=

$$1 / \{ (R1C2/R1C1) (1/2) + (R1C2/R1C1) (1/2) \} \dots (1)$$

【0020】C1と同様にC2側も120通りの組み合わせによる微調整が可能なためにC1との組み合わせによるC1とC2の比は計算上は14400通りもの微調整が可能となる。R1とR2の比も抵抗の相対精度分のばらつきを持つが、このばらつき分も含めた形でQの値を目標値に合わせ込めるようなスイッチのオン接続の組み合わせを上記14400通りの中から選べばよいことになる。実際には制御のしやすさを考えてセルコンデンサに1%ずつ程度の容量値の傾斜を持たせておくことと実用的な制御が可能となる。

【0021】次に、欠陥コンデンサの排除について説明する。集積回路上のコンデンサは、チップ上に占める面積が大きく、しかも単位面積あたりの容量値を上げるため層間絶縁膜を1000オングストローム以下と極めて薄くしているため製造上困難な点も多く、欠陥による不良の発生が起りやすい。このようなコンデンサの欠陥不良があると、ほとんどの場合回路は正常に機能せず、深刻な歩留まり悪化を引き起こす。この実施例では、このような欠陥コンデンサがあったとしても、その接続を決めるスイッチを優先的にオフさせておけば、IC全体を不良品としなくて済む。欠陥コンデンサがオン接続されるとフィルタ特性が極端に変わったり、フィルタとして全く機能しなくなったりするためにその判別は容易である。図1の回路で抵抗、コンデンサともにほぼセンターでできているとすると、C1を構成するにはS11からS20のうち7個がオン接続されていればよいから、欠陥コンデンサが3個までなら不良品としなくてよい。仮に欠陥コンデンサがあったとしてもほとんどの場合、1個だけでありこのようなコンデンサの生成不良により、IC全体を不良とするような無駄はほとんどなくなる。また欠陥コンデンサが1個あることにより、先に述べたフィルタ特性の微調整の自由度が減ることになるが、これ

な補正となり、トータル的に見れば前者よりも補正誤差は小さくなる。

【0018】次に、フィルタ特性の微調整が可能な点について説明する。前の例で抵抗、コンデンサともにほぼセンターでできているとすると、C1を構成するにはS11～S20のうち7個がオン接続されていればよいことになる。これを実現する組み合わせ数は全部で、

付けることが可能である。さらにフィルタ特性を決める状態変数としては、抵抗値と容量値の積で定まる時定数のほかにフィルタの形状、特に肩特性の形状を決めるQファクタがある。これは、図の回路で言えばR1とR2の比及びC1とC2の比とで決まる定数であり、次式で表せる。

はほとんど問題にならない。

20 【0022】上記した実施例で特に重要な点は、スイッチS11～S20とS21～S30の各スイッチ網の制御方法となる。この発明ではマイクロコンピュータを用いた調整システムを実現している。

【0023】図2には、上記した集積フィルタ回路の調整システムを示している。フィルタ入力端子11には、外部から信号発生器31からの試験信号が供給される。試験信号としてどのような信号（周波数）を出力するかは、中央制御装置（CPU）35が決定するもので、その制御データは、バス34、インターフェース33を介して信号発生器31の制御端子に与えられている。フィルタ出力端子13から得られる信号は、外部のアナログデジタル変換器32を介してCPU35に読み取られる。CPU35は、試験信号に対応したフィルタ出力の期待値（目標特性）と測定値（実際のフィルタ特性）とを比較してその誤差を検出し、この誤差を無くすようにスイッチ制御回路16のスイッチ制御データを可変し、フィルタ特性の微調整を行う。そしてフィルタ出力が期待値になったところで、現在のスイッチ制御データを不揮発性メモリとしてのROM36に書き込み保存するよう

40 うにしている。
【0024】図2に示した全体のシステムを、製品となる電子機器内部に全て組み込むことも可能である。しかし製品コストの上昇を押さえるためには、図に一点鎖線で区別して示すように、スイッチ制御回路16、ROM36までを内蔵させて、製造時の調整段階においてCPU35等をバスを介して接続できるようにしておくことが好ましい。このようにしておけば、調整精度を上げるために必要な高精度のA/D変換器や高精度の試験信号発生回路、さらには処理能力の高いCPUが製品コストに影響することはない。しかも後で容易に変更、機能

(5)

アップが可能ということになる。この場合、製品化された電子機器は、メモリに記憶されている調整データでスイッチ制御回路を制御し続けることにより、調整時に合わせ込まれたフィルタ特性で動作させることが可能となる。最近の電子機器では、ほとんどと言ってよいほどマイクロコンピュータが組み込まれており、予め組み込まれているマイクロコンピュータシステムとは役割分担させるのがよい。またそれゆえ、このようなデジタル制御系による調整システムとの相性も良く、内蔵する不揮発性メモリによるコスト上昇分はごくわずかである。あるいはROMをフィルタ内蔵のICと同一チップ上に作り

込めるようなICプロセスであれば、見かけ上対象機器内にはほとんど何にも新たに追加することなく調整システムを実現できることになる。

【0025】CPUの処理として、ポイントとなるのが検出したフィルタ特性と目標特性との比較評価である。この1つの方法としては、フィルタの状態変数で比較する方法である。これを図1のサーレンキー型低域通過フィルタで説明すると、このフィルタの伝達関数は次式で与えられる。

【0026】

【数1】

$$H(s) = \frac{\omega_0^2}{s^2 + (\omega_0 / Q) s + \omega_0^2}$$

ただし

$$\omega_0 = 1 / (R_1 R_2 C_1 C_2)^{1/2}$$

$$Q = 1 / \{ (R_2 C_2 / R_1 C_1)^{1/2} + (R_1 C_1 / R_2 C_1)^{1/2} \}$$

【0027】この伝達関数は、一般に図3(C)に示すような特性となり、Qが1に対して十分大きい場合は、図中に示したように $\omega = \omega_0$ のところにおいて、 ω が十分低域のところに対して $20 \log Q$ (dB)のピークを持つことである。従って、この条件の場合は、周波数特性のピークを検出することで状態変数 ω_0 とQの値を知ることができる。そうでない一般の場合は、直接 ω_0 を検出することはできないが、この場合は高域での減衰スロープから算出することができる。即ち ω が ω_0 から十分離れた高域では、減衰の傾きがほぼ40 dB/octに等しくなる。従って、例えば、 $\omega = 10 \omega_0$ の周波数のところでは、低域に対して約40 dBの減衰になっており、この点をみつけることにより ω_0 の値を知ることができる。さらにこの周波数における減衰量からQの値を知ることができる。このように検出したフィルタ特性からCPUで算出した ω_0 とQの値をそれぞれの目標値と比較することにより、フィルタの調整量を求めることができる。

【0028】スイッチ制御方法の一例として図1の回路を参照する。まず、各スイッチのオン接続状態を1から10まで変えながらフィルタ特性を検出し、 ω_0 の値が最も目標値と近くなるように接続数を決める。次にこの接続数は、一定のまま接続スイッチの組み合わせを順次変えながらフィルタ特性を検出し、 ω_0 とQの値がともに予め設定しておいた許容範囲内に初めて納まったときの組み合わせでスイッチ接続の状態を決める。また、調整に時間をかけられるならば、全ての組み合わせでフィ

ルタ特性を検出した後、 ω_0 とQが目標値に最も近くなる組み合わせでスイッチ接続の状態を決めてもよい。

【0029】検出したフィルタ特性の目標特性との比較評価の別の方法としては、誤差の2乗平均で判定するという方法もある。これは例えば検出フィルタ特性の各サンプル周波数における利得の検出値 a_k (dB)とし、その目標値を b_k (dB)とした場合、サンプル点が全部でn個だとすると、利得誤差の2乗平均

【0030】

【数2】

$$E^2 = \frac{1}{n} \sum_{k=1}^n (a_k - b_k)^2$$

【0031】と表すことができ、この値を評価データとする。この値が小さい方がより目標特性に近いということになる。この方法を用いたスイッチの制御法の一例としてやはり図1のフィルタの場合で言えば、まず各スイッチのオン接続数を1から10まで変えながらフィルタ特性を検出し、利得誤差の2乗平均の値が最も小さくなるように接続数を決める。

【0032】次にこの接続数は、一定のまま接続スイッチの組み合わせを順次変えてフィルタ特性を検出し、利得誤差の2乗平均の値が予め設定しておいた許容範囲内に初めて納まったときの組み合わせでスイッチの接続の状態を決める。この場合、もし調整に時間をかけらるなら

(6)

ば、全ての組み合わせでフィルタ特性を検出した後、利得誤差の2乗平均の値が最も小さくなるような組み合わせでスイッチの接続の状態を決めることもできる。

【0033】図2に示した調整システムでは、調整対象となるフィルタは、単独の2次のLPFであったが、次数の高い複雑なフィルタであっても基本的には同様な調整が可能である。ただし2次の状態変数フィルタの多段接続となっていた方が、調整が容易である。この場合は、各段毎にスイッチで分離独立させて入出力関係を評価できるようなモードを備えておき、先に述べた状態変数 ω_0 、 Q で比較する方法、若しくは利得誤差の2乗平均の値で比較する方法のいずれかを用いて、各段毎にセルコンデンサの接続スイッチの状態を決めていけばよい。各段に分離できないような高次のフィルタの場合でも、全体のフィルタ特性をまとめて利得誤差の2乗平均の値で比較する方法でセルコンデンサの接続スイッチの状態を決めていくこともできる。この場合、スイッチのオン接続の組み合わせ数が著しく増大してしまうため、所望の特性に調整できるまで長い時間が必要となる。次に、調整時においてフィルタの周波数特性を検出するための信号入力法と周波数特性を得る方法について具体的な例を2つ上げて説明する。

【0034】図3(A)は、信号発生器31から正弦波を出力して調整を行う場合の例である。図には必要なブロックを図2から抽出して示している。CPU35は、信号発生器31の出力信号周波数をステップ的に変更することができる。フィルタからの出力は、A/D変換器32でデジタル信号に変換され、CPU35に取り込まれる。このようにして得るフィルタ特性検出結果 Q 、 ω_0 が目標値の許容範囲にあるかどうか判断される。許容範囲外であれば、調整データを再設定して調整中のフィルタに対応したD/A変換器へ与え、許容範囲内に合わせ込むようにしている。この方法の場合、フィルタ出力部とA/D変換器32の間に、振幅検波器41を設けて、出力振幅に比例して得られる直流電圧をアナログデジタル変換することにより、アナログデジタル変換の負担を減らし、周波数特性検出のスピードアップをすることもできる。

【0035】この方法の欠点は、周波数特性に急峻な変化を持つ部分がある場合、周波数のステップが粗いこと、このような急峻な変化の部分での調整精度がとれないこと、言い換えれば、このような周波数特性の場合は周波数のステップを細かくしなければならないため、調整時間を長く必要とするということである。このような欠点の改善を得るには、同図(B)に示すような入力信号供給方法が良い。

【0036】これは、信号発生器31からフィルタへ供給する信号としてインパルス信号を用いるものである。そしてこれに対する時間応答を、CPU35にてラプラス変換し、リアルタイムで周波数特性を得るものであ

る。この場合、理想的なインパルス信号は実現できないので、実際には短い幅のパルスを入力することになる。この時、ラプラス変換により得られる特性は、実際の周波数特性とはやや異なるが予めパルス幅を決めておき、パルス幅の入力に応じて目標特性の設定を補正しておけばよい。同様に考えてインパルス信号の代わりにステップ信号を入力とすることも可能である。

【0037】上記したように、集積フィルタを構成するコンデンサにある程度の冗長度を持たせて多数のセルコンデンサを構成し、スイッチ網でその組み合わせを変えられるようにしておくことにより、従来のように単に時定数の調整だけではなく、他のフィルタ変数をも含めてトータル特性での合わせ込みが可能となる。さらに対象となるフィルタの直接調整のため精度の高い調整が可能となる。また同時にフィルタを構成するセルコンデンサに欠陥・不良があった場合、フィルタの調整の段階でこの欠陥セルを排除してフィルタを組むことができるため、コンデンサの生成確率が低い場合でもほとんど不良品とせずに済み、製品歩留まりの悪化を防止できる。調整システムは、対象機器の製造工程において、ほとんどを機器の外にバスラインを介して接続することにより構築するために機器のコスト上昇分はごくわずかである。代わりにマイクロコンピュータ処理を中心とするデジタル制御系であるために自動化に向いており、フィルタの集積化によるコストメリットのほか、調整コストの削減及び調整ポリウムの削減に大きな効果がある。この発明では高精度が必要なために集積化が見送られてきたフィルタに対しても、集積回路への内蔵を可能として、マイクロコンピュータによるデジタル制御系も最近のデジタル化への流れと整合しやすくそれだけ利用価値も大きいと言える。

【0038】

【発明の効果】以上説明したように、この発明は集積フィルタとしての回路形成を複雑にすることなく、フィルタ特性の精度の改善をはかることと、合わせてコンデンサの製造時に発生した欠陥などによるICの歩留まり悪化を改善することができる。

【図面の簡単な説明】

【図1】この発明の一実施例による集積フィルタ回路を示す図。

【図2】この発明の一実施例による集積フィルタ調整システムを示す図。

【図3】この発明の調整システムにおいて試験信号の入力例と、出力特性の測定例を説明するための説明図。

【図4】特性調整手段を備えた従来のフィルタ回路を示す図。

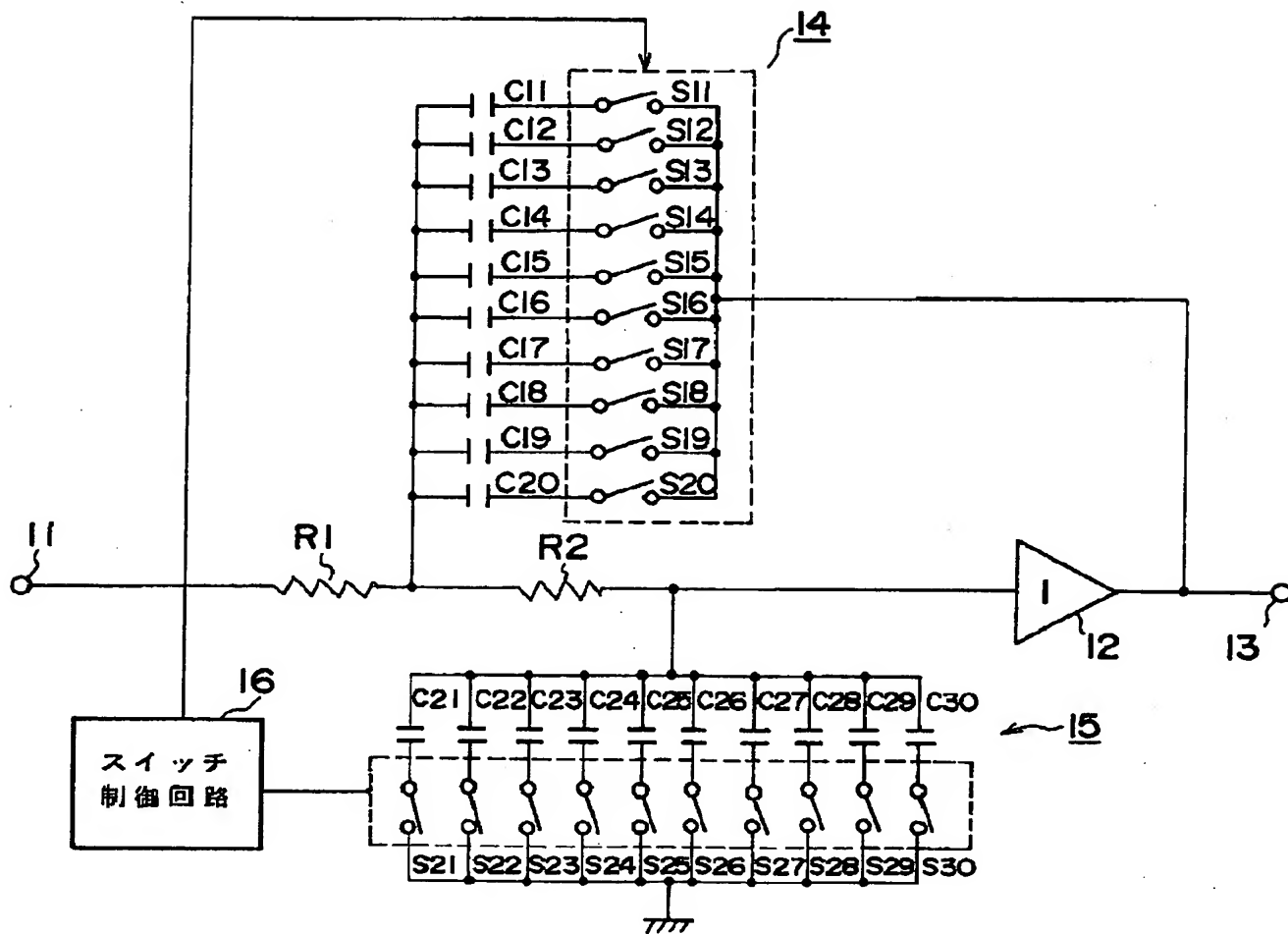
【符号の説明】

12…演算増幅器、14、15…調整回路網、16…スイッチ制御回路、C11～C20、C21～C30…コンデンサ、S11～S20、S21～S30…スイッチ、31…信号発

(7)

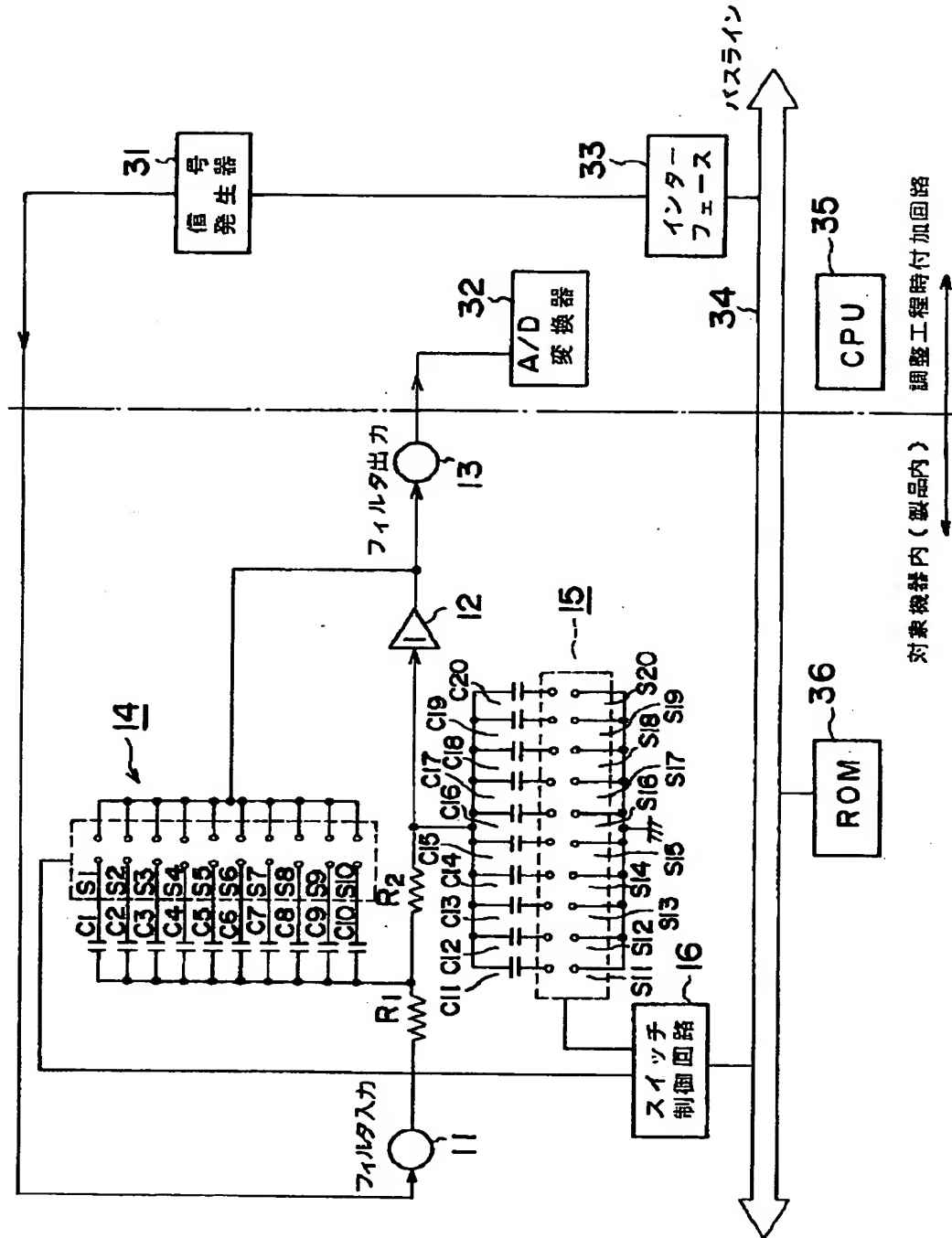
生器、32…A/D変換器、33…インターフェース、35…CPU、36…ROM。

【図1】



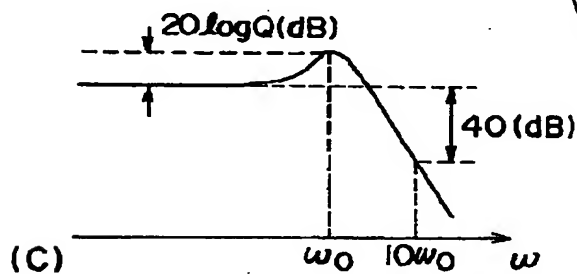
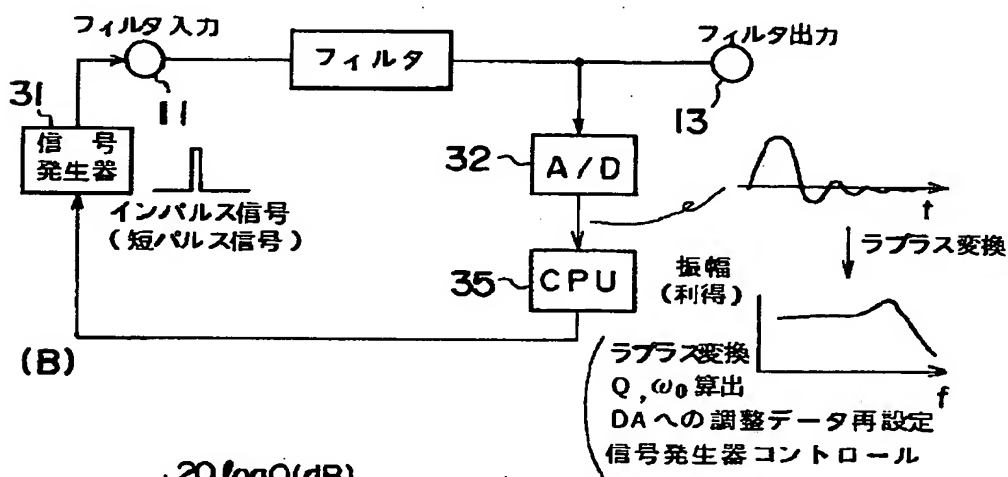
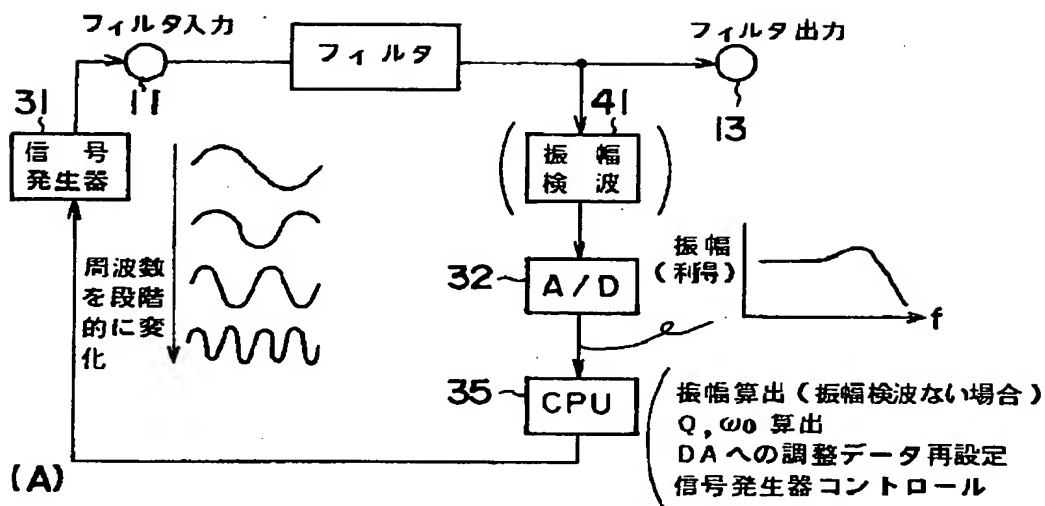
(8)

【図2】



(9)

【図3】



(10)

【図4】

